

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-223240

(43)公開日 平成8年 (1996) 8月30日

(51)Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 27/38			H 0 4 L 27/00	G
H 0 3 H 21/00		8842-5 J	H 0 3 H 21/00	
H 0 4 B 3/06			H 0 4 B 3/06	C
H 0 4 L 7/00			H 0 4 L 7/00	F
27/22			27/22	Z
審査請求 未請求 請求項の数3 O L (全 10 頁)				

(21)出願番号 特願平7-30659
(22)出願日 平成7年 (1995) 2月20日

(71)出願人 000004226
日本電信電話株式会社
東京都新宿区西新宿三丁目19番2号
(72)発明者 田野 哲
東京都千代田区内幸町一丁目1番6号 日本
電信電話株式会社内
(74)代理人 弁理士 本間 崇

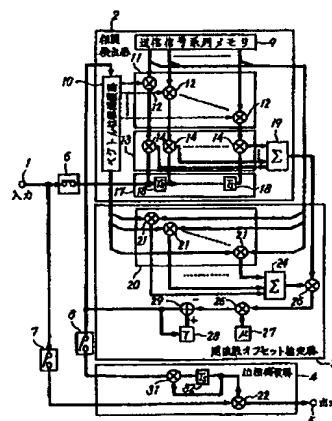
(54)【発明の名称】 周波数オフセット補償回路

(57)【要約】

【目的】 デジタル信号伝送における送受信間の周波数誤差を自動的に補償する周波数オフセット補償回路に関し、MLSE型等化器のための高精度でかつ高速度周波数オフセット補償法の実現を目的とする。

【構成】 N時間に渡る既知の送信信号を記憶しておき、この出力信号1に周波数オフセットによる位相回転を与え、出力信号1に対応した受信信号と乗算し、この出力信号2をN時間に渡って積算する相関検出器と、前記周波数オフセットに起因した一時刻内の位相変動に対する相関検出器の出力信号の二乗和の変化量を検出し、二乗和が最大に成るよう位相変動の推定値を更新し、一時間内の位相変動を推定する周波数オフセット推定器と、周波数オフセット推定器の出力である一時間内の位相変動を基に受信信号の周波数オフセットを除去する位相補償部とにより構成する。

本発明の一実施例を示す図



【特許請求の範囲】

【請求項1】 受信信号と送信信号との相関値を検出する相関検出器と、その出力信号より周波数オフセットによるサンプリング周期間の位相変動を推定する周波数オフセット推定器と、推定した周波数オフセットを基に受信信号の周波数オフセットを除去する位相補償部より構成される周波数オフセット補償回路であって、N時間に渡る既知の送信信号を記憶しておき、この出力信号1に周波数オフセットによる位相回転を与え、出力信号1に対応した受信信号と乗算し、この出力信号2をN時間に渡って積算する相関検出器と、前記周波数オフセットに起因した一時刻内の位相変動に対する相関検出器の出力信号の二乗和の変化量を検出し、二乗和が最大に成るよう位相変動の推定値を更新し、一時間内の位相変動を推定する周波数オフセット推定器と、周波数オフセット推定器の出力である一時間内の位相変動を基に受信信号の周波数オフセットを除去する位相補償部より構成されることを特徴とする周波数オフセット補償回路。

【請求項2】 相関検出器は、メモリに蓄えられた時刻Kにおける既知の送信信号にK時間に渡る位相変化量に相当する位相変動の推定値のK乗を掛け合わせ、これに受信信号を掛け合わせて出力し、これをメモリアドレス区間Nに渡って行ない、これらの出力信号を積算し、その結果を相関検出器出力とし、周波数オフセット推定器は、前記相関検出器に備えられたメモリの出力である時刻Kにおける既知の送信信号に、K-1時間に渡る位相変化量を与え出力し、これをN-1時間に渡って行ないこの出力を積算し、これに前記相関検出器の出力信号を掛け合わせ、これを一時刻内の位相変動量の推定値の更新量として位相変動を推定し、これを前記相関検出器に出力し、更新された位相変動量を基に相関検出器および周波数オフセット推定器は前述の操作を行ない、これを複数回繰り返した後、前記位相補償部では時刻Lにおける受信信号に時間Lに渡る位相変動量を掛け合わせることで周波数オフセットを除去する請求項1記載の周波数オフセット補償回路。

【請求項3】 受信信号と送信信号との相関値を検出する相関検出器と、その出力信号より周波数オフセットによるサンプリング周期間の位相変動を推定する周波数オフセット推定器と、推定した周波数オフセットを基に受信信号の周波数オフセットを除去する位相補償部より構成される周波数オフセット補償回路であって、前記相関検出器は、N時刻に渡る受信信号を蓄えるレジスタ回路と、N時刻に渡る既知の送信信号パターンを蓄えておく系列メモリ回路と、前記周波数オフセット推定器よりの出力信号を入力としN行のベクトルを二系列出力するベクトル位相補償回路と、この第一の出力ベクトルと系列メモリ回路よりの出力ベクトルを入力する第一の乗算器列と、この出力ベクトルとレジスタ回路の出力ベクトルを入力とする第二の乗算器列と、この出力ベクトルの要素を各々足し合わせる加算器より構成され、この加算器出力信号を相関器出力信号とし、前記ベクトル位相補償回路は、入力信号に前記周波数オフセット推定器よりの出力信号を掛け合わせる乗算器をN個備え、各々の乗算器は他の乗算器の出力を入力とし、その出力をもう一つの乗算器の入力とするよう接続され、各々の乗算器のN個の出力信号を第一のベクトル出力とし、乗算器のN個の入力信号を第二のベクトル出力とし、前記周波数オフセット推定器は、前記ベクトル位相補償回路の第二のベクトル出力と前記相関検出器の系列メモリ回路出力ベクトル入力とする第三の乗算器列と、その出力ベクトルの要素を各々足し合わせる加算器と、この出力信号に前記相関器出力信号を掛け合わせる第一の乗算器と、スケーリング係数を蓄えておくメモリ回路と、目盛り回路出力信号に第一の乗算器出力を掛け合わせる第二の乗算器と、この出力を累積加算する積算回路より構成され、この積算回路出力を前記周波数オフセット推定器出力とし、前記乗算器列は、次元の等しい二つのベクトルを入力とし、各ベクトルの対応する行の要素間の乗算を行なう次元数分の乗算器を備え、この乗算器出力信号を要素とするベクトルを出力し、前記位相補償器は、前記周波数オフセット補償回路の出力を片方の入力とし一時刻前の出力信号をもう片方の入力とする第三の乗算器と、この出力信号に入力信号を掛け合わせる第四の乗算器より構成され、この第四の乗算器出力信号を最終的な出力信号とする、ことを特徴とする周波数オフセット補償回路。

ルと系列メモリ回路よりの出力ベクトルを入力する第一の乗算器列と、この出力ベクトルとレジスタ回路の出力ベクトルを入力とする第二の乗算器列と、この出力ベクトルの要素を各々足し合わせる加算器より構成され、この加算器出力信号を相関器出力信号とし、

前記ベクトル位相補償回路は、入力信号に前記周波数オフセット推定器よりの出力信号を掛け合わせる乗算器をN個備え、各々の乗算器は他の乗算器の出力を入力とし、その出力をもう一つの乗算器の入力とするよう接続され、各々の乗算器のN個の出力信号を第一のベクトル出力とし、乗算器のN個の入力信号を第二のベクトル出力とし、

前記周波数オフセット推定器は、前記ベクトル位相補償回路の第二のベクトル出力と前記相関検出器の系列メモリ回路出力ベクトル入力とする第三の乗算器列と、その出力ベクトルの要素を各々足し合わせる加算器と、この出力信号に前記相関器出力信号を掛け合わせる第一の乗算器と、スケーリング係数を蓄えておくメモリ回路と、目盛り回路出力信号に第一の乗算器出力を掛け合わせる第二の乗算器と、この出力を累積加算する積算回路より構成され、この積算回路出力を前記周波数オフセット推定器出力とし、

前記乗算器列は、次元の等しい二つのベクトルを入力とし、各ベクトルの対応する行の要素間の乗算を行なう次元数分の乗算器を備え、この乗算器出力信号を要素とするベクトルを出力し、

前記位相補償器は、前記周波数オフセット補償回路の出力を片方の入力とし一時刻前の出力信号をもう片方の入力とする第三の乗算器と、この出力信号に入力信号を掛け合わせる第四の乗算器より構成され、この第四の乗算器出力信号を最終的な出力信号とする、

ことを特徴とする周波数オフセット補償回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はディジタル信号伝送において、送信側の発振器と受信側の発振器との間の周波数誤差を自動的に補償する周波数オフセット補償回路に関するものである。

【0002】

【従来の技術】 ディジタル信号の伝送に際しては、信号をキャリア帯へ周波数変換することが必要になるが、このとき、送信側の局部発振器と受信側の局部発振器との間には周波数の差（周波数誤差）が生ずることは避けられない。この周波数誤差を補償する手段としては、①二次ループをもつコスタス型キャリア再生、②遅延検波後に周波数オフセットに起因する定常位相誤差を補償する方法、③一シンボル間の位相変動を推定し、これを基にして周波数オフセットを補償する方法等がある。

【0003】 上記①のコスタス型キャリア再生回路の構成を図4に示す。同図において、数字符号、39は入力

3

端子、47は出力端子、40は分配器、41と42は乗算器、43は位相誤差抽出器、43-1は加算器、43-2は減算器、44は $\pi/2$ 移相器、46はループフィルタ、45は電圧制御発振器(Voltage Controlled Oscillator: VCO)である。

【0004】同図において、キャリア帯の変調信号が端子39より入力され、互いに $\pi/2$ 位相の異なったVCO出力信号により乗積検波され端子47より出力される。一方、位相誤差抽出器では乗積検波後の信号を4週倍することで変調成分を除去し、VCO出力信号と変調波の搬送波との位相誤差を検出する。

【0005】この位相誤差成分をループフィルタを介してVCOに帰還することで、2次のPLLループを形成し周波数誤差と位相誤差を同時に抑圧することが可能となる。即ち、このVCO、位相誤差抽出、ループフィルタにより変調波の搬送波と位相の一致した搬送波を再生し復調動作を実現する。

【0006】②の手法を適用した構成を図5に示す。同図において、数字符号48は入力端子、51は出力端子、49は遅延検波回路、50は遅延検波後の定常位相誤差補償のための位相誤差補償器である。同図においてベースバンドにまで周波数変換された変調信号が端子48より入力され、遅延検波回路においてこの入力信号に一シンボル前の入力信号を掛け合わせ位相誤差補償器に出力する。

【0007】この構成において入力信号における周波数誤差は復調信号にとって定常的な位相誤差となって現われ復調特性を著しく劣化させる。そこで、位相誤差補償部ではこの定常位相誤差を補償することで等価的に周波数誤差を補償できる。

【0008】③の手法を適用した構成例を図6に示す。同図では位相推定アルゴリズムにRLS (Recursive Least Squares) アルゴリズムを適用し、トレーニング区間のみ周波数オフセット推定を行なう構成を示している。

【0009】同図においては51aは入力端子、59は出力端子、52は複素乗算器、53はトレーニング信号入力端子、54はRLSアルゴリズムによる位相推定器、55は位相積算器、58は複素乗算器である。この構成では入力信号より変調成分を除去した後、一シンボル間の位相変動をRLSアルゴリズムで推定し、これを積分することで周波数オフセットによる位相変動と逆の位相を推定し、これを入力信号に掛け合わせることで周波数オフセットの影響を除去している。

【0010】一方、ビットレートの高速化にともない伝送路の波形歪みによる特性劣化が顕著になり、これを補償するために適応等化器の適用が検討されている。適応等化器としては、線形等化器、判定帰還型等化器、最尤系列推定(Maximum Likelihood Sequence Estimation: MLSE)型等化器が知られている。特にMLSE型等

4

化器はビット誤り率を最小にする最尤系列推定器を備えているため他の二つの手法よりも格段に高い等化能力を示す。これらの等化器の構成を図8、9、10に示す。

【0011】一般に、適応等化器では受信信号に対するサンプリング位相誤差による特性劣化を回避するためにフラクショナルサンプリングが適用される。この適応等化器を用いた系において周波数オフセットを補償する場合、上記②と③の手法は基本的にシンボルサンプリングを前提としているため、フラクショナルサンプリング系には適用出来ない。

【0012】これに対して、④の手法ではコスタスループの中にフラクショナルサンプリングの線形等化器、あるいは判定帰還型等化器を備えることにより実現が可能となる。この場合の構成を図7に示す。

【0013】同図において77は入力端子、84は識別結果出力端子、78は分配器、79と80は乗算器、81は適応等化器、82と83は識別器、85は複素相関器、86はループフィルタ、87はVCO、88は $\pi/2$ 位相器を示している。85の複素相関器は等化器出力信号 $U_r + jU_i$ と識別信号 $D_r + jD_i$ を使って“数1”に示す演算を行なう。

【0014】

【数1】

$$S = U_r D_r^* - U_i D_i^*$$

【0015】この構成により周波数オフセット推定が可能なのは、線形等化器、判定帰還型等化器が受信信号あるいは等化器の過去の識別信号を用いて波形歪み除去のみを行なうためである。即ち、等化器出力信号は波形歪みのない伝送路における同期検波による復調信号とみなすことが出来るためである。

【0016】即ち、図8においては出力64、図9においては出力70には遅延歪みの影響が除去された信号が出力される。ところが、MLSE型等化器では信号を復調するのではなく受信信号に対して最も尤度の高い送信符号系列を推定するという構成をとるため、線形等化器や判定帰還型等化器の様に等化器内部に復調信号を発生させない。

【0017】従って④のループ内にMLSE等化器を適用することは困難である。また、別な構成としてマッチドフィルタにより周波数オフセット検出を行ない、これを基に周波数オフセット補償を行なうものがある。

【0018】マッチドフィルタは遅延歪みは雑音の影響を除去できるため正確な周波数オフセット補償が可能になる。その構成を図11に示す。同図において89は入力端子、98は出力端子、90は分配器、91、92は乗算器、93は $\pi/2$ 移相器、94はVCO、95は1次フィルタ、96は遅延回路、97は周波数オフセット補償部を示している。

【0019】図12に周波数オフセット推定部の構成を

示す。同図において99は入力端子、100と101は周波数が $-\delta$ と $+\delta$ の発振器、104と105はマッチドフィルタ、106は遅延回路、107は複素乗算器、108は複素加算器、109と110は絶対値演算回路、111は減算器を示している。

【0020】この周波数オフセット推定器は原理的には周波数オフセットにより相関ピークの値が異なることを利用したものであるが、発振器100と101の周波数のアンバランスが推定精度に影響するという問題点がある。

【0021】また、この構成は基本的にVCOへのフィードバック制御であるため、ループフィルタの帯域と周波数オフセット推定精度にはトレードオフの関係があり、高速な収束特性を得るために推定精度を低下させるという問題点がある。

【0022】従って、フラクショナルサンプルを適用したMLSE型等化器を適用する場合には、高精度な周波数オフセット推定が困難であるため、周波数オフセットにより伝送特性が劣化するという問題点があった。

【0023】

【発明が解決しようとする課題】キャリア帯の周波数を利用したデジタル信号伝送においては送受信器の局部発振器間に周波数誤差が存在する。位相変調あるいは周波数変調を適用した場合にも正確な信号を復調するには、この周波数誤差を補償する必要がある。

【0024】一方、遅延分散に起因する波形歪みを補償するためには適応等化器が有効であるが、より高い等化能力を有するMLSE型等化器が有効である。更に、サンプリング位相誤差感度を低下させるためにはフラクショナルサンプリングのMLSE型等化器の適用が望ましい。

【0025】ところが、前述のようにMLSE型等化器は受信信号に対しても最も尤度の高い送信系列を推定するのみで復調操作に相当するものがないため、従来のキャリア再生ループの中にMLSE型等化器を適用することが出来ない。

【0026】また、マッチドフィルタからの周波数誤差情報をVCOに帰還して周波数同期を確立する方法は周波数選択性フェージング環境下で、適応等化器を用いずに周波数オフセット補償が可能であるが、高速な収束特性を得るためには周波数推定精度が低下してしまうという欠点がある。

【0027】従って、フラクショナルサンプリングを適用したMLSE型等化器を用いた場合、精度よく高速に周波数オフセットを推定することが困難であり、周波数オフセット推定誤差により特性が劣化するという問題があった。

【0028】これらの問題点を鑑み、本発明ではフラクショナルサンプルを適用したMLSE型等化器のための高精度でかつ高速な周波数オフセット補償法を提供することを目的としている。

【0029】

【課題を解決するための手段】本発明によれば、上述の課題は前記特許請求の範囲に記載した手段により解決される。

【0030】すなわち、請求項1の発明は、受信信号と送信信号との相関値を検出する相関検出器と、その出力信号より周波数オフセットによるサンプリング周期間の位相変動を推定する周波数オフセット推定器と、推定した周波数オフセットを基に受信信号の周波数オフセットを除去する位相補償部より構成される周波数オフセット補償回路であって、

【0031】N時間に渡る既知の送信信号を記憶しておき、この出力信号1に周波数オフセットによる位相回転を与え、出力信号1に対応した受信信号と乗算し、この出力信号2をN時間に渡って積算する相関検出器と、前記周波数オフセットに起因した一時刻内の位相変動に対する相関検出器の出力信号の、二乗和の変化量を検出し、

【0032】二乗和が最大に成るよう位相変動の推定値を更新し、一時間内の位相変動を推定する周波数オフセット推定器と、周波数オフセット推定器の出力である一時間内の位相変動を基に受信信号の周波数オフセットを除去する位相補償部より構成される周波数オフセット補償回路である。

【0033】請求項2の発明は、上記請求項1の発明において、相関検出器は、メモリに蓄えられた時刻Kにおける既知の送信信号にK時間に渡る位相変化量に相当する位相変動の推定値のK乗を掛け合わせ、これに受信信号を掛けあわせて出力し、これをメモリアドレス区間Nに渡って行ない、

【0034】これらの出力信号を積算し、その結果を相関検出器出力とし、周波数オフセット推定器は、前記相関検出器に備えられたメモリの出力である時刻Kにおける既知の送信信号に、K-1時間に渡る位相変化量を与え出力し、これをN-1時間に渡って行ないこの出力を積算し、これに前記相関検出器の出力信号を掛け合わせ、これを一時刻内の位相変動量の推定値の更新量として位相変動を推定し、これを前記相関検出器に出力し、

【0035】更新された位相変動量を基に相関検出器および周波数オフセット推定器は前述の操作を行ない、これを複数回繰り返した後、前記位相補償部では時刻Lにおける受信信号に時間Lに渡る位相変動量を掛け合わせることで周波数オフセットを除去するように構成した周波数オフセット補償回路である。

【0036】請求項3の発明は、受信信号と送信信号との相関値を検出する相関検出器と、その出力信号より周波数オフセットによるサンプリング周期間の位相変動を推定する周波数オフセット推定器と、推定した周波数オフセットを基に受信信号の周波数オフセットを除去する位相補償部より構成される周波数オフセット補償回路に

において、

【0037】前記相関検出器は、N時刻に渡る受信信号を蓄えるレジスタ回路と、N時刻に渡る既知の送信信号パターンを蓄えておく系列メモリ回路と、前記周波数オフセット推定器よりの出力信号を入力としN行のベクトルを二系列出力するベクトル位相補償回路と、この第一の出力ベクトルと系列メモリ回路よりの出力ベクトルを入力とする第一の乗算器列と、この出力ベクトルとレジスタ回路の出力ベクトルを入力とする第二の乗算器列と、この出力ベクトルの要素を各々足し合わせる加算器より構成され、この加算器出力信号を相関器出力信号とし、

【0038】前記ベクトル位相補償回路は、入力信号に前記周波数オフセット推定器よりの出力信号を掛け合わせる乗算器とN個備え、各々の乗算器は他の乗算器の出力を入力とし、その出力をもう一つの乗算器の入力とするよう接続され、各々の乗算器のN個の出力信号を第一のベクトル出力とし、乗算器のN個の入力信号を第二のベクトル出力とし、

【0039】前記周波数オフセット推定器は、前記ベクトル位相補償回路の第二のベクトル出力と前記相関検出器の系列メモリ回路出力ベクトル入力とする第三の乗算器列と、その出力ベクトルの要素を各々足し合わせる加算器と、この出力信号に前記相関器出力信号を掛け合わせる第一の乗算器と、スケーリング係数を蓄えておくメモリ回路と、メモリ回路出力信号に第一の乗算器出力を掛け合わせる第二の乗算器と、この出力を累積加算する積算回路より構成され、

【0040】この積算回路出力を前記周波数オフセット推定器出力とし、前記乗算器列は、次元の等しい二つのベクトルを入力とし、各ベクトルの対応する行の要素間の乗算を行なう次元数分の乗算器を備え、この乗算器出力信号を要素とするベクトルを出力し、

【0041】前記位相補償器は、前記周波数オフセット補償回路の出力を片方の入力とし一時刻前の出力信号を

$$y_k = \sum_{i=0}^{L-1} S_{x-i}^* r_{x-i} = \sum_{i=0}^{L-1} a_i e^{j(i\omega T_s)} (a_{\text{even}} + a_{\text{odd}} e^{j2\omega T_s}) \frac{1 - e^{j(L\omega T_s)}}{1 - e^{j2\omega T_s}} < \frac{L}{2} (a_{\text{even}} + a_{\text{odd}})$$

【0048】ここでは、簡単のためシンボル周期の2倍でサンプルした場合を示している。また、式(4)においてTsはサンプリング周期を示しており、L/2(aeven+aodd)は周波数オフセットがない場合の相関器の出力を示している。

【0049】従って、相関器の出力信号が最大になるように入力信号に位相補正を施すことにより、任意のサンプリング速度に対して周波数オフセット推定が可能となる。ここで、サンプリング周期間の周波数オフセットによる位相変動項をwとおくと、周波数オフセット補償された相関器の出力信号ykは“数5”で与えられる。

もう片方の入力とする第三の乗算器と、この出力信号に入力信号を掛け合わせる第四の乗算器より構成され、この第四の乗算器出力信号を最終的な出力信号とする、周波数オフセット補償回路である。

【0042】

【作用】送信符号系列をxkとするとフラクショナルサンプルされた送信信号Skは“数2”で与えられる。

【0043】

【数2】

$$S_k = \sum_{i=-\infty}^{\infty} h_i x_{k-i}$$

【0044】“数2”において添字kは時刻を表し、hiは送信の帯域制限フィルタのインパルス応答を示している。但し、フラクショナルサンプルの場合には時刻kは整数ではなく有理数により表される。また、xkとSkは一般に複素数で表される。ここで受信信号をrkとすると時間Lの間隔にわたる相関器の出力信号ykは

“数3”で与えられる。

【0045】

【数3】

$$y_k = \sum_{i=0}^{L-1} S_{x-i}^* r_{x-i}$$

【0046】式(3)において*は複素共役をとることを意味している。もしも、周波数オフセットが存在しない場合には、受信信号rkはSkに等しい。その時、相関器の出力信号ykは完全に実数部のみとなり最大値をとる。周波数オフセットω/(2π)が存在する場合には相関器の出力ykは“数4”のようになる。

【0047】

【数4】

【0050】

【数5】

$$y_k = \sum_{i=0}^{L-1} S_{x-i}^* r_{x-i} w_i$$

【0051】最適な重み係数Wwiは“数6”の解として与えられる。この式は非線形方程式であるがLMSアルゴリズムを適用することで解を実際に求めることが可能である。

【0052】

9

【数6】

$$\frac{\partial y_n^2}{\partial w} = 0$$

【0053】この場合、先ほど述べたように y_n^2 が最

$$w_n = w_{n-1} - \mu \left[y_k \left(\sum_{i=1}^{L-1} \{w_{n-1}^*\}^{i-1} S_{k+i}^* \right) + y_k \left(\sum_{i=1}^{L-1} \{w_{n-1}^*\}^{i-1} S_{k-i}^* \right) \right]$$

【0055】“数7”において μ は更新の刻み幅を示すステップサイズパラメータである。“数7”を繰り返すことにより、即ち $n \rightarrow \infty$ において、 $w_n \rightarrow w_{opt}$ に収束する。このアルゴリズムによって推定した w_{opt} を用いて周波数オフセット補償が“数8”の様に実現出来る。

【0056】ただし、 $W0 = 1 + j \cdot 0$ とする。

【0057】

【数8】

$$\begin{aligned} Z_k &= y_k W_k \\ W_k &= W_{k-1} w_{opt} \end{aligned}$$

【0058】

【実施例】図1は本発明の一実施例を示す図である。本発明の構成例を図1に示す。同図はバースト信号伝送においてバーストの先頭あるいは中間にあるユニークワードパターンのみを用いて周波数オフセット推定を行なう場合の構成を示している。

【0059】同図において数字符号1は入力端子、5は出力端子、6～8はバーストとデータの切替用スイッチ、2は相関器、3は周波数オフセット推定器、4は位相補償器、9は送信信号系列メモリ、10はベクトル位相補償器、11と13は乗算器列、12、14、21、25、26、31、33は複素乗算器、19、24はN入力複素加算器、29は2入力複素加算器、17はN段のシフトレジスタ、18と28、32は遅延回路、27は係数メモリ回路を示す。

【0060】トレーニング期間においてはスイッチ6は「ON」状態となり、入力信号はシフトレジスタ17に格納される。一方、送信したユニークワードパターンの複素共役が記憶された送信信号系列メモリの出力は乗算器列11に入力され、ベクトル位相補償器の出力ベクトルと各々掛け合わされる。

【0061】ベクトル位相補償器では推定した周波数オフセットに基づいて各受信信号に対して位相補償を行なうため、この乗算器列の出力信号は周波数オフセットがある場合の送信信号系列を出力することになる。次に、シフトレジスタ17の出力と乗算器列11の出力間の相関演算を乗算器列13と複素加算器19で行なう。

【0062】相関器出力信号は周波数オフセット推定器

10

大になるようにLMSアルゴリズムによってタップ係数 W を制御することになる。LMSを適用した本発明の周波数オフセット推定アルゴリズムを以下に示す。

【0054】

【数7】

に入力される。周波数オフセット推定器ではベクトル位相補償器のから位相補償ベクトルと送信信号系列ベクトルの要素間の相関演算を乗算器列20と複素加算器24で行なう。この複素加算器出力信号は相関器出力信号と掛け合わされる。

【0063】次に、この出力信号はゲインメモリ27よりの信号により重み付けされ、加算器と遅延回路により構成される積算器に入力される。この積算器の出力信号が周波数オフセット推定結果となり、相関器に備えられたベクトル位相補償器に入力される。この一連の演算を繰り返すことにより正確な周波数オフセットが推定できる。

【0064】次に、データ区間ではスイッチ7と8が「ON」状態になりデータが位相補償器4に入力される。位相補償器4では乗算器31と遅延回路32により構成された位相積算回路に周波数オフセット推定器出力信号を入力し、これを位相変化量に変換し、その結果を乗算器22で入力信号に掛け合わせることで周波数オフセット補償を行なう。

【0065】図2にベクトル位相補償器の構成の例を示す。同図において33は複素共役変換器、34は係数「1」のメモリ回路、37-1は相関器内への出力ベクトル、37-2は周波数オフセット推定器への出力ベクトル、36は複素乗算器、38は係数メモリ、35は周波数オフセット推定器よりの信号入力端子を示している。

【0066】ここでは、推定して周波数オフセットをべき乗することで、周波数を位相に変換しこれを各時間毎にベクトルとして出力している。一方、37-2へはその微分項に相当するベクトルを出力している。図3に本発明の適用例として、MLSE型等化器と結合させた場合の構成を示す。

【0067】同図において113は入力端子、119は出力端子、114は分配器、115と116は乗算器、117は本発明の周波数オフセット補償器、118はMLSE型等化器、120は $\pi/2$ 移相器、121は固定発振器を示している。入力されたキャリア帯変調信号は固定発振器121により準同期検波されて、ビート成分をもった信号として周波数オフセット推定器117に入力される。

【0068】この信号は周波数オフセット推定器でこの

11

ビート成分が除去され、MLSE型等化器に入力される。MLSE型等化器ではこの受信信号に対して、最も尤度の高い送信系列を推定して119に出力する。

【0069】

【発明の効果】本発明はマッチドフィルタを使用した構成を利用しているため、遅延歪みの影響による符号間干渉の影響を除去して、高精度に周波数オフセット推定が可能となる。また、推定の繰り返し回数を多くすることでその精度を更に高くすることが出来る。従って、受信した最初のバーストから高い精度で周波数オフセット補償ができるという利点がある。さらに、マッチドフィルタのサンプリング周波数に全く制限がないため任意のサンプリング速度に対応できるという利点がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す図である。

【図2】ベクトル位相補償器の構成の例を示す図である。

【図3】本発明をMLSE型等化器と結合させた場合の構成を示す図である。

【図4】コスタ型キャリア再生回路の構成の例を示す図である。

【図5】遅延検波と定常位相誤差補償による周波数オフセット補償の構成例を示す図である。

【図6】一シンボル間の位相変動推定を基にした周波数オフセット補償の構成例を示す図である。

【図7】等化器をループ内に備える場合のキャリア再生の構成例を示す図である。

【図8】線形等化器の構成例を示す図である。

【図9】判定帰還型等化器の構成例を示す図である。

【図10】MLSE型等化器の構成例を示す図である。

【図11】マッチドフィルタによる周波数オフセット補償の構成例を示す図である。

【図12】周波数オフセット推定部の構成例を示す図である。

【符号の説明】

1, 35, 48, 51a, 77, 60, 65, 71, 8
9, 99, 113 入力端子
5, 37-1, 37-2, 47, 51, 59, 84, 6

12

4, 70, 74, 98, 112, 119 出力端子

2 相関器

3 周波数オフセット推定器

4 位相補償器

10 ベクトル位相補償器

9 送信信号系列メモリ

27, 34, 38 係数メモリ

6, 7, 8 スイッチ

11, 13, 20 乗算器列

10 12, 21, 22, 31, 36, 41, 42, 52, 5

6, 58, 79, 80, 62, 67, 91, 92, 10

7, 115, 116 乗算器

19, 24, 29, 43-1, 63, 68, 72 加算器

43-2 減算器

18, 28, 32, 57, 61, 66, 96, 106

遅延回路

40, 77, 90, 114 分配器

44, 88, 93, 120 $\pi/2$ 移相器

20 45, 87, 94 VCO

100, 103, 121 固定発振器

45, 86, 95 ループフィルタ

43 位相誤差抽出回路

49 遅延検波回路

50 位相誤差補償器

54 位相推定器

55 位相積算器

81 適応等化器

69, 82, 83 識別器

30 85 複素相関器

75 タップつき遅延線フィルタ

76 伝送路推定器

73 最尤系列推定器

97 周波数オフセット推定部

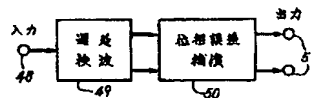
104, 105 マッチドフィルタ

117 周波数オフセット補償器

118 MLSE型等化器

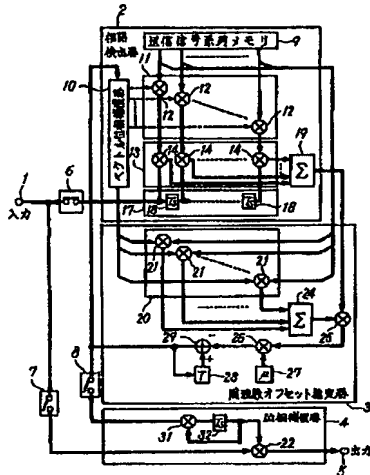
【図5】

遅延検波と定常位相誤差補償による周波数
オフセット補償の構成例を示す図



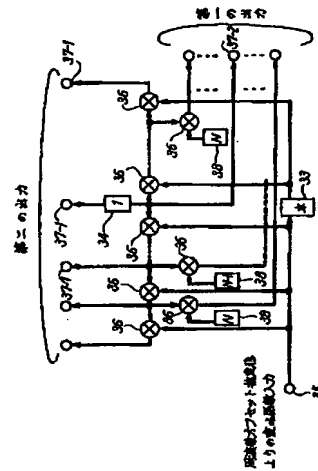
【図1】

本発明の一実施例を示す図



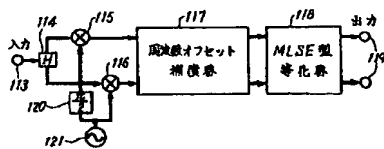
【図2】

ペフトル位相補償器の構成例を示す図



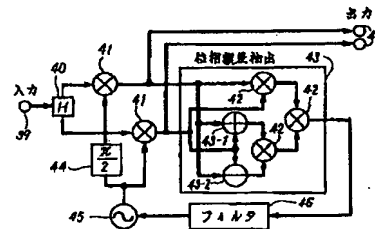
【図3】

本発明をMLSE型等化器と結合させた場合の構成を示す図

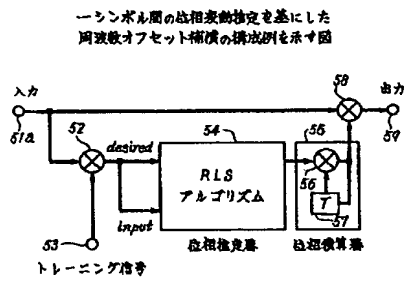


【図4】

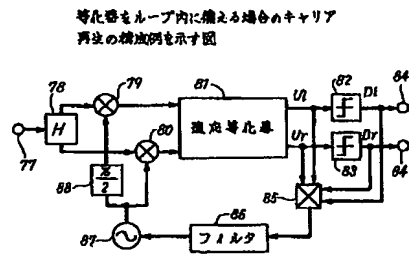
コスタス型キャリア再生回路の構成例を示す図



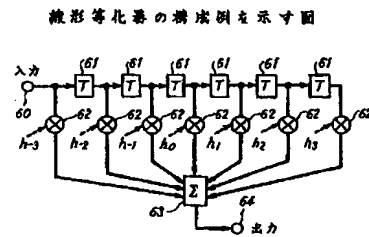
【図6】



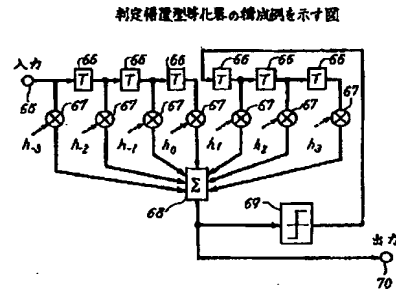
【図7】



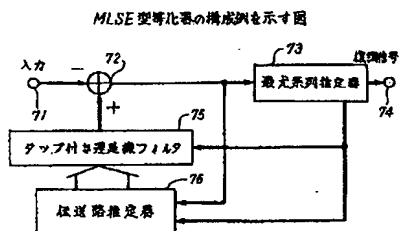
【図8】



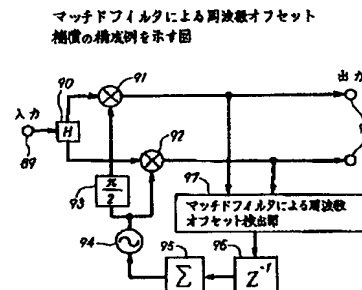
【図9】



【図10】



【図11】



【図12】

周波数オフセット検定部の構成例を示す図

